

LAW OFFICES
SUGHRUE, MION, ZINN, MACPEAK & SEAS, PLLC
2100 PENNSYLVANIA AVENUE, N.W.
WASHINGTON, DC 20037-3213
TELEPHONE (202) 293-7060
FACSIMILE (202) 293-7860
www.sughrue.com

October 31, 2000

#3
J. Frank Osha, Esq.
Direct Dial (202) 663-7915
Email: fosha@sughrue.com

BOX PATENT APPLICATION
Assistant Commissioner for Patents
Washington, D.C. 20231

Re: Application of Hiroki TANAKA
FIXED PATTERN DETECTION APPARATUS
Our Ref. Q61563

Dear Sir:

Attached hereto is the application identified above including 46 sheets of the specification and claims, 12 sheets of drawings, the executed Assignment and PTO 1595 form, and the executed Declaration and Power of Attorney. Also enclosed is an Information Disclosure Statement with PTO form 1449 and reference, and a Preliminary Amendment.

The Government filing fee is calculated as follows:

Total claims	14	-	20	=	x	\$18.00	=	
Independent claims	3	-	3	=	x	\$80.00	=	
Base Fee								\$710.00

TOTAL FILING FEE	\$710.00
Recordation of Assignment	\$40.00
TOTAL FEE	\$750.00

Checks for the statutory filing fee of \$710.00 and Assignment recordation fee of \$40.00 are attached. You are also directed and authorized to charge or credit any difference or overpayment to Deposit Account No. 19-4880. The Commissioner is hereby authorized to charge any fees under 37 C.F.R. §§ 1.16 and 1.17 and any petitions for extension of time under 37 C.F.R. § 1.136 which may be required during the entire pendency of the application to Deposit Account No. 19-4880. A duplicate copy of this transmittal letter is attached.

Priority is claimed from November 1, 1999 based on Japanese Application No. 311621/1999. The priority document is enclosed herewith.

Respectfully submitted,
SUGHRUE, MION, ZINN,
MACPEAK & SEAS, PLLC
Attorneys for Applicant

By: J. Frank Osha
J. Frank Osha
Registration No. 24,625

JC931 U.S. PTO
09/699553
10/31/00



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

Q1-63
10f1
09/699553 PRO
10/31/00



出願年月日
Date of Application:

1999年11月 1日

出願番号
Application Number:

平成11年特許願第311621号

出願人
Applicant(s):

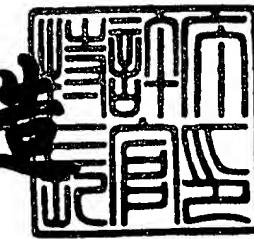
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月22日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願
【整理番号】 51105611
【提出日】 平成11年11月 1日
【あて先】 特許庁長官 殿
【国際特許分類】 H04J 13/04
H04L 7/00

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 田中 博紀

【特許出願人】

【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816
【弁理士】
【氏名又は名称】 加藤 朝道
【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9304371

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 固定パターン検出装置

【特許請求の範囲】

【請求項1】

1 シンボルあたりMチップ（但し、Mは予め定められた所定の正整数）の割合にて拡散符号で拡散してなるK個（但し、Kは予め定められた所定の正整数）のシンボルの各々についてチップ期間単位に分割して並び替え、1チップ期間を単位とする長さKのシグネチャー・パターンがM回繰り返して挿入されてなる長さN（但し、 $N = K \times M$ ）チップのパターンを受信信号として入力し、前記受信信号から、シグネチャー・パターンを検出する固定パターン検出装置であって、

KチップおきのM個の受信信号と、長さNの拡散符号列をKチップおきに間引きして並び替えられたM個の拡散符号列との相関をとり、K個のシグネチャーにそれぞれ対応する相関値を出力する1段目の相関器と、

前記1段目の相関器から出力されたK個のシグネチャーにそれぞれ対応する相関値と予め定められたシグネチャー・パターンとの相関をとる2段目の相関値と

を含むことを特徴とする固定パターン検出装置。

【請求項2】

前記一段目の相関器が、拡散符号発生器より発生された長さNの拡散符号列をK個おきに間引いて並び替え、K個に類別されてなる、長さMの拡散符号列をそれぞれ入力し、互いに並列配置され、K個のシグネチャーにそれぞれ対応する相関値を出力するK個の相関器ブロックよりなる、ことを特徴とする請求項1記載の固定パターン検出装置。

【請求項3】

前記K個の相関器ブロックの各々が、互いに並列配置された長さMの複数（R + 1個）の相関器よりなり、

前記各相関器ブロックにおいて、前記複数（R + 1個）の相関器のうち、第1の相関器には、KチップおきのM個の受信信号と前記拡散符号列とが供給されて長さMの相関をとり、第2の相関器には、前記第1の相関器に2番目のデータと

して供給される受信信号を先頭データとするKチップおきのM個の受信信号と、前記第1の相関器に供給される前記拡散符号列を動作周期に同期させて遅延素子でそれぞれ遅延させた拡散符号列とが供給されて長さMの相関をとり、以下、同様にして、第R+1の相関器には、第Rの相関器に2番目のデータとして供給される受信信号を先頭データとしたKチップおきのM個の受信信号と、前記第1の相関器に供給される前記拡散符号列を動作周期に同期させてR個の遅延素子で遅延させた拡散符号列とが供給されて長さMの相関をとる、ことを特徴とする請求項2記載の記載の固定パターン検出装置。

【請求項4】

前記シグネチャー・パターンの存在する時間の不確定範囲をLチップ期間（但し、LはKで割り切れる整数）とし、N+Lチップについて、1チップずつずらした相関値を算出するにあたり、

前記K個の相関器ブロックの各々が、互いに並列配置された長さMの相関器を、L/K+1個備えたことを特徴とする請求項2記載の固定パターン検出装置。

【請求項5】

前記シグネチャー・パターンの存在する時間の不確定範囲をLチップ期間（但し、LはKで割り切れる整数）とし、N+Lチップについて、1チップずつずらした相関値を算出するにあたり、

前記K個の相関器ブロックの各々が、互いに並列配置された長さMの相関器を、L/(n×K)+1個（但し、nは、Lがn×Kで割り切れる2以上の整数）備えたことを特徴とする請求項2記載の固定パターン検出装置。

【請求項6】

1シンボルあたりMチップ（但し、Mは予め定められた所定の正整数）の割合にて拡散符号で拡散してなる複数個（K個）のシンボルの各々についてチップ期間単位に分割して並び替え、1チップ期間を単位とする長さKのシグネチャー・パターンがM回繰り返して挿入されてなる長さN（但し、N=K×M）チップのパターンを受信信号として入力し、前記受信信号から、シグネチャー・パターンを検出する固定パターン検出装置であって、

前記シグネチャー・パターンの存在する時間の不確定範囲をL（但し、LはK

で割り切れる整数) とし、少なくとも $N + L$ チップ分の受信信号を一旦蓄積する受信信号蓄積メモリと、

拡散符号を生成する拡散符号生成器と、

前記拡散符号生成器で生成された拡散符号を間引きして並び替えを行う拡散符号並び替え器と、

前記受信信号蓄積メモリの読み出しを制御する受信信号蓄積メモリ制御部と、

K 個の相関器ブロックが並設されてなり、前記各相関器ブロックの長さが M チップとされる 1 段目の相関器と、

前記拡散符号並び替え器で並び替えられた拡散符号列を格納し、前記 1 段目の前記 K 個の相関器ブロックに対してそれぞれ前記拡散符号列をシフト出力する K 個の拡散符号シフトレジスタと、

を備え、

前記 1 段目の相関器において、前記各相関器ブロックには、前記各相関器ブロックに対応した前記拡散符号シフトレジスタからの拡散符号列が供給され、前記各相関器ブロックでは、前記受信信号蓄積メモリから読み出された受信信号と前記拡散符号列との相関値を出力し、さらに、

前記 1 段目の相関器から出力される相関値を蓄積する相関値蓄積メモリと、

前記 1 段目の相関器から出力される相関値の前記相関値蓄積メモリへの書き込み及び前記相関値蓄積メモリからの相関値の読み出しを制御する相関値蓄積メモリ制御部と、

予め定められたシグネチャー・パターンを記憶保持するシグネチャー・パターン記憶部と、

前記相関値蓄積メモリ制御部から読み出された相関値と前記シグネチャー・パターン記憶部に格納されている前記シグネチャー・パターンとの相関値を算出する 2 段目の相関器と、

前記 2 段目の相関器から出力される相関値からシグネチャーを検出して固定パターン検出信号を出力するシグネチャー検出器と、

を備えたことを特徴とする固定パターン検出装置。

【請求項 7】

前記シグネチャー・パターンの存在する時間の不確定範囲をLチップ期間（但し、LはKで割り切れる整数）とし、N+Lチップについて、1チップずつずらした相関値を算出するにあたり、前記K個の相関器ブロックの各々が、互いに並列配置されたL/K+1個の長さMの相関器を備え、

前記各相関器ブロックにおいて、L/K+1個の相関器のうち第1の相関器には、前記受信信号蓄積メモリから読み出されたKチップおきのM個の受信信号と前記拡散符号列とが供給されて長さMの相関をとり、第2の相関器には、前記第1の相関器に2番目のデータとして供給される受信信号を先頭データとしたKチップおきのM個の受信信号と、前記第1の相関器に対して前記拡散符号レジスタから供給される前記拡散符号列を動作周期に同期させて遅延素子でそれぞれ遅延させた拡散符号列とが供給されて長さMの相関をとり、以下、同様にして、第L/K+1の相関器には、第L/Kの相関器に2番目のデータとして供給される受信信号を先頭データとするKチップおきのM個の受信信号と、前記第1の相関器に対して前記拡散符号レジスタから供給される前記拡散符号列を動作周期に同期させてL/K個の遅延素子で遅延させた拡散符号列とが供給されて長さMの相関をとる、ことを特徴とする請求項6記載の固定パターン検出装置。

【請求項8】

前記K個の相関器ブロックの各々が、互いに並列配置された長さMの複数（R+1個）の相関器よりなり、

前記各相関器ブロックにおいて、前記複数（R+1個）の相関器のうち、第1の相関器には、前記受信信号蓄積メモリから読み出されたKチップおきのM個の受信信号と前記拡散符号列とが供給されて長さMの相関をとり、第2の相関器には、前記第1の相関器に2番目のデータとして供給される受信信号を先頭データとするKチップおきのM個の受信信号と、前記第1の相関器に対して前記拡散符号レジスタから供給される前記拡散符号列を動作周期に同期させて遅延素子でそれぞれ遅延させた拡散符号列とが供給されて長さMの相関をとり、以下、同様にして、第R+1の相関器には、第Rの相関器に2番目のデータとして供給される受信信号を先頭データとしたKチップおきのM個の受信信号と、前記第1の相関器に対して前記拡散符号レジスタから供給される前記拡散符号列を動作周期に同

期させてR個の遅延素子で遅延させた拡散符号列とが供給されて長さMの相関をとる、ことを特徴とする請求項6記載の固定パターン検出装置。

【請求項9】

前記K個の相関器ブロックの各々が、互いに並列配置された、 $L / (n \times K) + 1$ （但し、nは、Lが $n \times K$ で割り切れる2以上の整数）の相関器を備えたことを特徴とする請求項8記載の固定パターン検出装置。

【請求項10】

前記シグネチャー・パターンの存在する時間の不確定範囲をLチップ期間（但し、LはKで割り切れる整数）とし、N+Lチップについて、1チップずつずらした相関値を算出するにあたり、前記Lを複数に分割した区間に属する受信信号毎に、前記K個の相関器ブロックで相関値を算出する処理を繰り返すことで、N+Lチップ範囲の相関値を求める、ことを特徴とする請求項8又は9記載の固定パターン検出装置。

【請求項11】

前記2段目の相関器を、複数種類のシグネチャー・パターンに対応させて複数備えたことを特徴とする請求項6乃至10のいずれか一に記載の固定パターン検出装置。

【請求項12】

前記拡散符号並び替え器が、前記シグネチャ・パターンの並び替えの状態に応じて、前記拡散符号生成器で生成された拡散符号を可変に並び替え、前記複数の拡散符号シフトレジスタに分配する構成とされている、ことを特徴とする請求項6乃至11のいずれか一に記載の固定パターン検出装置。

【請求項13】

請求項1乃至12のいずれか一に記載の固定パターン検出装置を備えたCDMA受信装置。

【請求項14】

スペクトル拡散通信装置において、1チップ期間を単位とする長さKのシグネチャー・パターンがM回繰り返して挿入されてなる長さN（但し、 $N = K \times M$ ）チップのパターンを受信信号として入力し、前記シグネチャー・パターンは、1

シンボルあたりMチップの割合で拡散符号で拡散してなるK個のシンボルの各シグネチャーについてチップ期間単位に分割してチップ期間で並び替えされたものよりなり、前記受信信号からシグネチャー・パターンを検出する検出装置であつて、

KチップおきのM個の受信信号と、長さNの拡散符号列をKチップおきに間引きして並び替えられたM個の拡散符号列との相関をとり、K個のシグネチャーに対応する相関値を出力する1段目の相関器と、

前記1段目の相関器から出力されたK個のシグネチャーに対応する相関値と予め定められたシグネチャー・パターンとの相関をとる2段目の相関値と、

を含むことを特徴とするスペクトル拡散通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、相関器に関し、特に、CDMA通信方式の受信装置において固定パターン検出に用いて好適な相関器に関する。

【0002】

【従来の技術】

スペクトラム拡散（スペクトラム）通信方式は、送信側で送信信号を変調した後に拡散符号（Pseudorandom Noise；単に「PN」ともいう）を用いてスペクトラム拡散して送信し、受信側では、送信側から送られてきたスペクトラム拡散信号を受信して復調する際に、送信側で拡散に用いた拡散符号系列と同じものを用いて逆拡散する構成とされており、受信信号に含まれる拡散符号系列と受信側で発生する拡散符号系列とが一致したときにのみ正確な復調が行われる。

【0003】

近時、スペクトラム拡散方式の拡散符号系列を各通信毎に割り当てるCDMA（Code Division Multiple Access；符号分割多元接続）通信方式が、移動体通信システムの移動端末の無線通信方式の標準として期待されている。このCDMA通信方式では、例えばユーザの情報をユーザ固有の拡散符号でそれぞれ拡散

したものと同じ周波数帯で重ね合わせて送信し、受信側では、受信したいユーザの拡散符号を用いて情報を抽出する構成とされ、スペクトル利用効率が高い、マルチパスに強い、秘話性が高い、等の各種利点を有している。

【0004】

このCDMA方式の通信システムでは、受信装置において、信号中の拡散符号とのタイミング同期をとるために、受信信号の拡散符号系列発生タイミングと受信側で用意する拡散符号系列発生タイミングとを1チップ以内の精度で推定し、拡散符号系列発生器をそのタイミングで動作開始させる同期捕捉が行われる。また直接拡散(DS)方式では、わずかでも同期位置がずれると受信信号を見失うため、一度捕捉に成功した受信信号に対して受信側の拡散符号系列の時間ずれ等を起こさないように監視する同期追跡が行われる。このため、同期信号として予め定められた固定パターンを送信側で送信信号中に挿入して送信し、受信側では受信した信号と固定パターンとの相関値を算出することにより、同期検出を行ない、受信信号の検出や、フレーム同期等の同期制御を行っている。

【0005】

スペクトラム拡散通信の受信装置の同期捕捉用の相關器においては、受信信号に拡散符号系列を1チップ毎に乗算し、乗算結果を加算することにより、相関値を求める。その際、受信信号の拡散符号系列と受信側で用意する拡散符号系列とが一致したときに高い相関値が出力されることから、受信信号の拡散符号系列と、受信側の拡散符号系列との位相をずらしながら相関をとり、相関値が最大となった位置又は所定の閾値を超えた位置を同期位置として、対応する位相で復調を行う。なお位相をずらす方法として、マッチドフィルタ、あるいはスライディング相関のように受信側で発生する拡散符号系列をずらしていく方法が用いられる。

【0006】

マッチドフィルタによる相關器は、よく知られているように、シフトレジスタと、シフトレジスタの各段の出力と拡散符号との乗算をとる複数の乗算器と、複数の乗算器の出力を加算する加算器を備え、例えばアンテナで受信された信号をベースバンド信号に変換したスペクトラム拡散信号は該シフトレジスタに1チッ

まず順次格納され、シフトレジスタの各段に格納されたスペクトラム拡散信号と1チップ毎に各乗算器で拡散符号との乗算が行われ、乗算結果は加算器に伝送されてその和が算出され、出力信号として出力する。そして、拡散符号系列と受信されたスペクトラム拡散信号の拡散符号とのタイミングが一致している場合に加算器からの出力が最大値（マッチドパルス）となることから、このマッチドパルスから同期を検出し、該同期検出結果に基づき復調器にて復調を行う。なおマッチドフィルタによる相関器を用いた同期検出回路については、例えば特許2850959号の特許公報等の記載が参考される。

【0007】

【発明が解決しようとする課題】

ところで、CDMA方式の通信システムでは、スペクトル拡散変調を受けた信号は広帯域となり、信号の電力スペクトル密度は著しく低くなる。このため、受信機フロントエンドでのS/N（信号対雑音）比は極めて低い。すなわち、チップ速度（チップレート）で換算したときの入力信号のS/N比が極めて小さいことから、正しくタイミング同期を図るために、同期用パターンとして、チップ単位でみた場合、長大な長さの固定パターンが必要となる。このため、受信側では、同期捕捉用回路として、長さの長い相関器が必要とされている。例えば長さKシンボルの固定語を、拡散率Mチップ/シンボルで拡散した信号よりなる符号長Nの固定パターンを入力とする場合、該Kシンボルの固定語を相関検波方式で検出するための相関器は、 $M \times K$ チップの長さとされる。

【0008】

マッチドフィルタ等シフトレジスタを用いた相関器において、その長さを長くすれば、当然のことながら、シフトレジスタ、及び加算器等それぞれの回路規模が増大し、乗算器の個数も増大し、その結果、消費電力が増大し、CDMA方式の携帯電話機等移動体端末装置の低消費電力化及び低成本化を難しいものとしている。

【0009】

一方、スライディング方式の相関器として、例えば図12に示す構成のものが用いられている。図12を参照すると、入力信号と拡散係数 C_i とが乗算器20

1で乗算され、乗算結果が加算回路202の一の入力端に供給され、加算回路202の他の入力端に供給される一つ前の累算値（初期値は0）と加算され、その加算結果はラッチ回路203でラッチされるとともに、加算回路202の他の入力端に帰還入力されて、次の乗算結果と加算される。

【0010】

図12に示したスライディング方式の相関器において、例えば長さNの相関をとる場合、N回の乗算とこれらを加算をした結果が相関値として出力され、相関値が得られるまでに要する時間は長さNに比例して増大し、同期捕捉までに要する時間も長くなる。

【0011】

移動体無線通信システムにおいて、求められる低消費電力化及びコストの低減を図るために、相関器の回路構成を縮減して、ハードウェア規模を削減することが、要請される。さらに、相関器の高速化も求められている。

【0012】

回路規模の縮減を図る相関器として、本願出願人による先の特許出願（特願平11-265040号：本願出願時未公開）において、長さKシンボルの固定語を、拡散率Mチップ／シンボルで拡散した信号よりなる符号長Nの固定パターンを入力として相関をとる相関器を、長さMチップの1段目の相関器と、1段目の相関器の出力からKシンボルの固定語との相関をとる長さKの2段目の相関器とで構成した発明が提案されている。

【0013】

上記特願平11-265040号においては、図13（b）に示すように、K個のシンボルよりなる固定語（ $U_0, U_1, U_2, \dots, U_{K-1}$ ）の各シンボルはいずれもMチップ期間よりなり、各シンボルをそれぞれMチップの拡散符号（図13（a）参照）で拡散したものを固定パターン C'_n （ $0 \leq n \leq N-1$ ）として送信し、受信側では、1段目の相関器と2段目の相関器で固定語（ $U_0, U_1, U_2, \dots, U_{K-1}$ ）を検出するものである。

【0014】

ところで、近時、基地局が移動局からの制御チャネルから、チップレートで並

び替え（スクランブル）が行われた信号から固定パターンを検出することで、通話等を開始する移動局の存在の認識するという仕様が提案されている。例えば図4（b）に示すように、符号長N（Nチップ期間）について、長さKチップのシグネチャー・パターン（ $U_0, U_1, U_2 \dots U_{K-1}$ ）がM回繰り返されており（ $N = K \times M$ ）、各 U_i （ $0 \leq i \leq K-1$ ）の期間は1チップ期間とされ、Mチップ分を合わせたものが元の一つのシンボルに対応している。すなわち各シンボルについて1シンボルあたりMの割合で拡散符号により拡散し、拡散符号で拡散されたK個のシンボルを、それぞれチップ期間単位に分割し、並び替えたものが、シグネチャー・パターンに対応している。なお、図4は、後の実施例の説明で参照される。

【0015】

そして、図13（b）の固定語のK個のシンボルをそれぞれ、Mチップに分割し、チップ期間で並び替えて、図4（b）に示すようなシグネチャー・パターン（固定パターン）を送信する構成とした場合、以下のような利点を有することが知られている。

【0016】

すなわち、第1に、フェージング環境下において、特に、ドップラー周波数が大きい場合、誤検出を防ぐための遅延検波方式を採用することを不要としており、受信機の構成を簡易化することができる、ということである。

【0017】

第2に、送信側と受信側に大きな周波数オフセットが存在する場合、正しくないタイミング（同期がとれていない状態）で大きな相関値が検出される、という事態の発生を抑制（改善）する、ということである。

【0018】

このシグネチャー・パターンについては、例えば3GPP（3rd Generation Partnership Project (3GPP) ; Technical Specification Group (TSG) ; Radio Access Network (RAN) ; Working Group 1 (WG1) ; Spreading and modulation (FDD)

)による文書 (document) である「TS 25.213 V2.3.0 (1999-9)」の「4.3.3.2 Preamble Signature」等の記載が参照される。

【0019】

上記した先願の特願平11-265040号においては、専ら、図13(c)に示した固定パターンを入力して固定語の検出を行うものであり、図4に示すように、固定語のシンボルがチップレートで並び替えが行われた信号から固定パターンを検出するための構成は考慮されていない。

【0020】

したがって、本発明は、上記課題の認識に鑑みて創案されたものであって、その主たる目的は、CDMA通信方式において、固定パターンが並び替えされてチップ速度で挿入されている受信信号から固定パターンを検出するにあたり、検出に要する時間の短縮を図る固定パターン検出装置及び該固定パターン検出装置を備えたCDMA受信装置を提供することにある。

【0021】

また本発明の他の目的は、回路規模を縮減する、固定パターン検出装置及び該固定パターン検出装置を備えたCDMA受信装置を提供することにある。これ以外の本発明の目的、特徴、利点等については、以下の説明から、当業者であれば、直ちに明らかとされるであろう。

【0022】

【課題を解決するための手段】

前記目的を達成するため、本発明は、1シンボルあたりMチップの割合にて拡散符号で拡散してなるK個のシンボルの各々についてチップ期間単位に分割して並び替え、1チップ期間を単位とする長さKのシグネチャー・パターンがM回繰り返して挿入されてなる長さN（但し、 $N = K \times M$ ）チップのパターンを受信信号として入力し、前記受信信号から、シグネチャー・パターンを検出する固定パターン検出装置であって、KチップおきのM個の受信信号と、長さNの拡散符号列をKチップおきに間引きして並び替えられたM個の拡散符号列との相関をとり、K個のシグネチャーにそれぞれ対応する相関値を出力する1段目の相関器と、

前記1段目の相関器から出力されたK個のシグネチャーにそれぞれ対応する相関値と予め定められたシグネチャー・パターンとの相関をとる2段目の相関値と、を含むことを特徴とする。

【0023】

本発明においては、前記K個の相関器ブロックの各々が、互いに並列配置された長さMの複数（R+1個）の相関器よりなり、前記各相関器ブロックにおいて、前記複数（R+1個）の相関器のうち、第1の相関器には、KチップおきのM個の受信信号とM個の前記拡散符号列とが供給されて長さMの相関をとり、第2の相関器には、前記第1の相関器に2番目のデータとして供給される受信信号を先頭データとするKチップおきのM個の受信信号と、前記第1の相関器に供給される前記拡散符号列を動作周期に同期させて遅延素子でそれぞれ遅延させた拡散符号列とが供給されて長さMの相関をとり、以下、第R+1の相関器には、第Rの相関器に2番目のデータとして供給される受信信号を先頭データとしたKチップおきのM個の受信信号と、前記第1の相関器に供給される前記拡散符号列を動作周期に同期させてR個の遅延素子で遅延させた拡散符号列とが供給されて長さMの相関をとる構成とされる。

【0024】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明は、チップ速度で所定長さのシグネチャー・パターンが挿入されてなる信号を受信する装置において、固定パターンを検出するための相関器を2段の相関器で構成したものである。

【0025】

本発明は、その好ましい一実施の形態において、1シンボルあたりMチップの割合で拡散符号で拡散してなる長さKの固定語を構成する各シンボルについて、それぞれ、チップ期間単位に分割して並び替え、1チップ期間を単位とする長さKのシグネチャー・パターン（U₀、U₁、…U_{K-1}）がM回繰り返して挿入されてなる長さN（但し、N=K×M）チップのパターンを受信信号として入力し、この受信信号から、シグネチャー・パターン（固定パターン）を検出する検出装置であって、拡散符号発生器（106）で発生された長さNの拡散符号列（S₀

$\sim S_{N-1}$) を間引きして並び替える拡散符号並び替え器(107)から出力され、K種の拡散符号列($\{S_0, S_K, S_{(M-1)K}\}, \{S_1, S_{K+1}, S_{(M-1)K+1}\}, \dots \{S_{K-1}, S_{2K-1}, S_{N-1}\}$)をそれぞれ記憶保持するK個の拡散符号シフトレジスタ($108_0 \sim 108_{K-1}$)を備え、記憶装置(104)に蓄積された受信信号をKチップおきに読み出したM個の受信信号と、拡散符号シフトレジスタ($108_0 \sim 108_{K-1}$)からの長さMの拡散符号列をそれぞれ入力し、互いに並列配置され、K個のシグネチャーに対応する相関値を出力するK個の相関器ブロック $101_0 \sim 101_{K-1}$ よりなる1段目の相関器(101)と、1段目の相関器(101)から出力された相関値に基づき、長さKのシグネチャーとの相関をとる2段目の相関値(102)と、を備えている。

【0026】

本発明の一実施の形態において、シグネチャー・パターンの存在する時間の不確定範囲をLチップ期間（但し、LはKで割り切れる整数）とし、N（=K×M）+Lチップについて、1チップずつずらした相関値を算出するにあたり、K個の相関器ブロック($101_0 \sim 101_{K-1}$)の各々が、互いに並列配置されたL/K+1個の長さMの相関器を備え、各相関器ブロックにおいて、L/K+1個の相関器のうち第1の相関器(#0)には、記憶装置(104)からKチップおきに読み出されたM個の受信信号と、拡散符号シフトレジスタ(108)からシフト出力される拡散符号列とが供給されて長さMの相関をとり、第2の相関器(#1)には、第1の相関器(#0)に対して2番目のデータとして供給される受信信号を先頭データとしたKチップおきのM個の受信信号と、拡散符号シフトレジスタ(108)から第1の相関器(#0)に供給される前記拡散符号列を動作周期に同期させて遅延素子(116)でそれぞれ遅延させたM個の拡散符号列とが供給されて長さMの相関をとり、以下、第L/K+1の相関器には、第L/Kの相関器に2番目のデータとして供給される受信信号を先頭データとするKチップおきのM個の受信信号と、拡散符号シフトレジスタ(108)から第1の相関器(#0)に供給される前記拡散符号列を動作周期に同期させてL/K個の遅延素子（例えば $116_{0-1} \sim 116_{0-L/K}$ ）で遅延させた拡散符号列とが供給されて長さMの相関をとる。各遅延素子は、受信信号と、拡散符号シフトレジスタから供

給される拡散符号列とを同期させて各相関器に入力させるためのものである。

【0027】

このように、本発明の一実施の形態においては、固定パターン長Nに比べて長さの短い第1の相関器で相関値を算出し、次に第2の相関器で最終的な相関値を算出することにより、相関値算出のための処理時間の削減を図っている。すなわち、本発明の一実施の形態においては、1段目の相関器を並列に複数ブロック備えることにより、記憶装置からの一度の受信信号の読み出しに対して相関値の算出が並行して行われ、処理時間の短縮を図っている。

【0028】

本発明は、別の実施の形態において、1段目の相関器のK個の相関器ブロックの各々が、互いに並列配置された長さMの複数($R+1$)の相関器よりなり、各相関器ブロックにおいて、複数($R+1$ 個)の相関器のうち、第1の相関器には、記憶装置(104)に蓄積された受信信号をKチップおきに読み出したM個の受信信号と、拡散符号シフトレジスタ(108)からシフト出力される拡散符号列とが供給されて長さMの相関をとり、第2の相関器には、前記第1の相関器に2番目のデータとして供給される受信信号を先頭データとするKチップおきのM個の受信信号と、前記第1の相関器に拡散符号シフトレジスタから供給される拡散符号列を動作周期に同期させて遅延素子でそれぞれ遅延させた拡散符号列とが供給されて長さMの相関をとり、以下、第 $R+1$ の相関器には、第Rの相関器に2番目のデータとして供給される受信信号を先頭データとしたKチップおきのM個の受信信号と、前記第1の相関器に拡散符号シフトレジスタから供給される拡散符号列を動作周期に同期させてR個の遅延素子で遅延させた拡散符号列とが供給されて長さMの相関をとり、受信信号において前記シグネチャー・パターンの存在する時間の不確定範囲をLチップとし、 $N+L$ チップについて、1チップずつずらした相関値を算出するにあたり、前記Lを複数に分割した区間にに対して、前記K個の相関器ブロックで相関値を算出する処理を繰り返すことで、 $N+L$ チップ範囲の相関値を求める。このように、各相関器ブロックが予め定められた所定個数の相関器からなる場合において、任意のL(但し、LはKで割り切れる整数)に対して固定パターンを検出可能としている。

【0029】

そして、この実施の形態において、各相関器ブロックの各々が、互いに並列配置された長さMの $L / (n \times K) + 1$ (但し、nは、 $L / (n \times K)$ が整数となる所定の整数) 個の相関器を具備することで、回路規模を縮減している。

【0030】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明をCDMA受信装置に適用した一実施例の構成を示す図である。図1を参照して、本発明の一実施例の構成について説明する。

【0031】

図1を参照すると、本発明の一実施例の固定パターン検出器は、不図示のアンテナで受信されベースバンド信号に変換されサンプリングされたスペクトラム拡散信号（受信信号）103を一旦蓄積する受信信号蓄積メモリ104と、受信信号蓄積メモリ104の読み出しを制御する受信信号蓄積メモリ制御部105と、長さMチップのK個の相関器ブロック#0～#K-1からなる1段目の相関器101と、拡散符号を生成出力する拡散符号生成器106と、拡散符号生成器106で生成された拡散符号列をK間隔で間引きして拡散符号列の並び替えを行いK個のグループに分配する拡散符号並び替え器107と、拡散符号並び替え器107から分配される拡散符号列を蓄積し、シフトして出力するK個の拡散符号シフトレジスタ $108_0 \sim 108_{K-1}$ と、第1群のセレクタ114及び第2のセレクタ115と、1段目の相関器101から第1のセレクタ群 $114_0 \sim 114_{K-1}$ 、第2のセレクタ115を介して出力される相関値を蓄積する相関値蓄積メモリ109と、1段目の相関器101から出力される相関値の相関値蓄積メモリ109への書き込み、及び相関値蓄積メモリ109からの相関値の読み出しを制御する相関値蓄積メモリ制御部110と、シグネチャー・パターンを記憶保持するシグネチャー・パターン・テーブル111と、シグネチャー・パターン・テーブル111のシグネチャー(signature)（長さK）と相関値蓄積メモリ109から読み出されたK個の相関値との相関をとる2段目の相関器102と、2

段目の相関器102から出力される相関値を入力して固定パターン検出信号113を出力するシグネチャー検出器112と、を備えている。

【0032】

本発明の一実施例において、1段目の相関器101のK個の相関器ブロック（# # 0） 101_0 ～相関器ブロック（# # K-1） 101_{K-1} は、それぞれ、L/K+1個の相関器#0～#L/Kを備える。受信信号は、予想受信時刻として、不確定時間幅が存在しており、Lはこの不確定時間幅をチップで表したものである。但し、このLは、Kで割り切れる整数とされる。

【0033】

図2は、本発明の一実施例における拡散符号並び替え器107の構成を示す図である。図2を参照すると、拡散符号発生器106の拡散符号発生部106-1で生成された長さNの拡散符号列 $S_0 \sim S_{N-1}$ （N = K × M）は、生成された順に、一旦、長さNのシフトレジスタ106-2に格納され、N個の拡散符号は、シフトレジスタ106-2から並列に出力されて拡散符号並び替え器107に入力され、拡散符号並び替え器107で分配され、拡散符号シフトレジスタ $108_0 \sim 108_{K-1}$ にそれぞれ格納される。

【0034】

拡散符号並び替え器107は、例えばマトリクススイッチとして構成され、プログラム制御により入力端と出力端との接続の組み合わせを切り替えることで、拡散符号列に対して、所望の並び替えが行われる。すなわち、シグネチャ・パターン（ U_0, U_1, \dots, U_{K-1} ）の並び替え（スクランブル）の状態に応じて、拡散符号生成器106-1で生成された拡散符号列を可変に並び替え、前記複数の拡散符号シフトレジスタ $108_0 \sim 108_{K-1}$ に分配する構成とされている。

【0035】

図3は、拡散符号並び替え器107における入力端と出力端の接続状態の一例を示す図である。図3を参照すると、シフトレジスタ106-1をK個（チップ）おきに間引し、拡散符号列 $S_0, S_K, \dots, S_{K(M-1)}$ をそれぞれ拡散符号シフトレジスタ 108_0 のM個のレジスタに、拡散符号列 $S_1, S_{K+1}, \dots, S_{K(M-1)+1}$ を拡散符号シフトレジスタ 108_1 のM個のレジスタに、拡散符号列 S_{K-1}, S_{2K}

s_{K-1}, \dots, s_{K-M} を拡散符号シフトレジスタ $108_{K-1} \sim 108_0$ の M 個のレジスタに、それぞれ設定するように接続されている。なお、拡散符号並び替え器 107 は、図 3 に示すように、シフトレジスタ $106-2$ と拡散符号レジスタ $108_0 \sim 108_{K-1}$ を接続する配線で構成してもよく、この場合、配線構造を変えることで、並び替えの変更が行われる。

【0036】

拡散符号シフトレジスタ $108_0 \sim 108_{K-1}$ は、動作時、出力端からシフト出力した拡散符号を入力端から再入力する巡回シフト型構成とされており、 M 番目の拡散符号をシフト出力した時点で、拡散符号シフトレジスタには、もとの拡散符号列が一巡して格納されている。

【0037】

受信装置において、別の拡散符号列を用いる場合、拡散符号発生器 106 で別の拡散符号列を生成し、拡散符号並び替え器 107 を介して拡散符号シフトレジスタ $108_0 \sim 108_{K-1}$ に拡散符号列を格納する。

【0038】

1 段目の相関器ブロック $101_0 \sim 101_{K-1}$ 内の $L/K + 1$ 個の相関器の出力は、第 1 のセレクタ $114_0 \sim 114_{K-1}$ を介して、いずれか一つが選択出力され、第 1 のセレクタ $114_0 \sim 114_{K-1}$ の出力は第 2 のセレクタ 115 に入力され、第 2 のセレクタ 115 を介して、いずれか一が選択出力され、相関値蓄積メモリ 109 に出力される。第 1 のセレクタ 114 、第 2 のセレクタ 115 の選択を制御する選択信号は、不図示の制御部で相関器蓄積メモリ 109 への書き込みに同期して出力される。

【0039】

2 段目の相関器 102 では、1 段目の相関器 101 から出力された K 個の相関値と K 個のシグネチャーとの相関値を算出する。

【0040】

シグネチャー検出器 112 は、各シグネチャー毎に 2 段目の相関器 102 から出力される相関値の最大値を検出し、予め定められたシグネチャー検出閾値と比較して、受信信号中に各シグネチャー・パターンが存在するか否かを判定し、シ

グネチャ・パターンが存在する場合には、検出された相関値と遅延情報を固定パターン検出信号113として出力する。マルチパス環境下において、複数のパスの検出を行う場合、1シグネチャーについて複数の遅延量について、固定パターン検出信号113を出力する。

【0041】

1段目の各相関器ブロック $101_0 \sim 101_{K-1}$ の各相関器#0～#L/K、及び、2段目の相関器102の各相関器 $102_0 \sim 102_S$ は、図9に示した構成のものが用いられる。

【0042】

次に、本発明の一実施例の動作について説明する。受信信号として、符号長Nの固定パターン C_n （但し、nは $0 \leq n \leq N-1$ の整数）に雑音が加わった信号からなる。固定パターン C_n （ $0 \leq n \leq N-1$ ）は、長さKのシンボルの固定語を、1シンボルあたり、Mチップの割合で拡散符号で拡散した信号をMチップに分割して並び替え、1チップ期間を単位とする長さKのシグネチャー・パターンがM回繰り返されたパターンからなる（ $N = K \times M$ ）。

【0043】

シグネチャーは、チップレートに区分されて間引き挿入されており、例えば図4に示すように、符号長N（Nチップ）について、シグネチャー・パターン（ $U_0, U_1, U_2 \dots U_{K-1}$ ）がM回繰り返される。各 U_i はチップ期間とされ、KチップおきにMチップ分を併せたものが一つのシンボルに対応している。

【0044】

ここで、図4（a）は、長さNの拡散符号 S_n （ $0 \leq n \leq N-1$ ）を示している。図4（b）は、並び替え（スクランブル）されたシグネチャー・パターン U_k （ $0 \leq k \leq K-1$ ）を示している。図4（c）は、図4（b）のシグネチャー・パターンを図4（a）の拡散符号で拡散して生成される固定パターン C_n （ $0 \leq n \leq N-1$ ）であり、送信側から固定パターン C_n が送信され、受信側では、長さNの固定パターン C_n （ $0 \leq n \leq N-1$ ）を受信信号として入力する。

【0045】

長さNの拡散符号を S_n （但し、 $n = mK + k$ 、 $0 \leq k \leq K-1$ 、 $0 \leq m \leq M-1$ ）

1、 $K \times M = N$ ）、長さKのシグネチャー・パターン U_k ($0 \leq k \leq K-1$) とすると、長さNの固定パターン C_n (但し、 $n = mK + k$ 、 $0 \leq k \leq K-1$ 、 $0 \leq m \leq M-1$ 、 $K \times M = N$) は次式(1)で表される。

【0046】

$$C_{mK+k} = U_k \times S_{mK+k} \quad \cdots (1)$$

(但し、 $0 \leq k \leq K-1$ 、 $0 \leq m \leq M-1$)

【0047】

このように拡散された固定パターン C_n に対して、本発明の一実施例においては、2段階の相関器101、102を用いて相関値を算出し、固定パターンの検出を行う。

【0048】

1段目の相関器101では、受信信号と拡散符号との長さMチップの相関値を算出する。

【0049】

受信信号は、予想受信時刻として、Lチップ期間分に相当する不確定時間幅が存在し、また、並び替える必要があるため、一旦、固定パターンの符号長 $N+L$ (不確定時間幅) 分の受信信号を受信信号蓄積メモリ104に蓄積しておく。

【0050】

1段目の相関器101では、位相が1チップずつずれている相関値を、計 $(M+L/K) \times K = M \times K + L = N + L$ チップ相当分算出する。

【0051】

受信信号蓄積メモリ104に蓄積された受信信号をKチップおきにM個読み出し、相関器ブロック $101_0 \sim 101_{K-1}$ に入力する。受信信号蓄積メモリ制御部105は、受信信号蓄積メモリ104に蓄積された受信信号をKチップおき読み出すように、受信信号蓄積メモリ104に対する読み出しアドレスを生成する。

【0052】

受信信号蓄積メモリ104から読み出された受信信号と、受信信号の読み出し周期と同期して拡散符号シフトレジスタ $108_0 \sim 108_{K-1}$ をそれぞれシフトすることにより出力される拡散符号列とが、1段目の相関器101のK個の相関器

ブロック $101_0 \sim 101_{K-1}$ にそれぞれ入力され、シグネチャーのシンボル長Mチップ分の相関値をそれぞれ算出し、算出された相関値を相関値蓄積メモリ109に一時的に蓄積する。

【0053】

本発明の一実施例における一段目の各相関器ブロックの動作について、図5を参照してさらに詳細に説明する。図5は、1回目の受信信号列(C_0, C_K, C_{2K}, \dots)の読み出しと、各相関器ブロック(##0~##K-1) $101_0 \sim 101_{K-1}$ の相関器(#0~#L/K)における乗算器への入力信号対を一覧で示した図であり、横軸はM+L/K分の動作期間を示している。

【0054】

まず、受信信号蓄積メモリ104に蓄積されている受信信号を、先頭からK個(チップ)おきに順次読み出し(C_0, C_K, C_{2K}, \dots)、各相関器ブロック $101_0 \sim 101_{K-1}$ に供給する。

【0055】

第0動作期間では、受信信号の検出開始位置の先頭データ C_0 がすべての相関器ブロック $101_0 \sim 101_{K-1}$ に供給される。相関器ブロック $101_0, 101_1, \dots, 101_{K-1}$ には、拡散符号シフトレジスタ $108_0, 108_1, \dots, 108_K$ から先頭の拡散符号 S_0, S_1, \dots, S_{K-1} がそれぞれ供給される。例えば相関器ブロック 101_0 の相関器#0では、受信信号蓄積メモリ104から読み出された先頭データである受信信号 C_0 と拡散符号シフトレジスタ 108_0 の先頭の拡散符号 S_0 との乗算 $C_0 \cdot S_0$ が行われる。

【0056】

第0動作期間において、相関器ブロック 101_0 の相関器#1~#L/Kは動作しない。また相関器ブロック 101_1 の相関器#0では、受信信号 C_0 と拡散符号シフトレジスタ 108_1 の先頭の拡散符号 S_1 との乗算が行われる。これは、図8(b)に模式的に示すように、固定パターン検出の開始位置に対して、位相が1チップ先行していることになる。第0のクロック期間において、相関器ブロック 101_1 の相関器#1は動作しない。

【0057】

次の第1動作期間では、2番目のデータとして、受信信号の検出開始位置からKチップ目の受信データである C_K が受信信号蓄積メモリ104から読み出され、すべての相関器ブロック $101_0 \sim 101_{K-1}$ に供給される。相関器ブロック $101_0 \sim 101_{K-1}$ には、拡散符号シフトレジスタ $108_0 \sim 108_{K-1}$ の2番目の拡散符号 $S_K, S_{K+1}, \dots, S_{2K-1}$ が供給される。

【0058】

第1動作期間において、例えば相関器ブロック 101_0 の相関器#0では、受信信号 C_K と拡散符号シフトレジスタ 108_0 からの2番目の拡散符号 S_K との乗算 $C_K \cdot S_K$ が行われ、乗算結果は加算器にて前の $C_0 \cdot S_0$ と加算される。

【0059】

また相関器ブロック 101_0 の相関器#1には、拡散符号シフトレジスタ 108_0 からの出力を、遅延時間が、1動作期間に対応する遅延素子(T)116 $_{0-1}$ を介して遅延させた符号である、先頭の拡散符号 S_0 が供給され、相関器#0に、2番目のデータとして供給される受信信号 C_K との乗算が行われる。

【0060】

また例えば相関器ブロック 101_1 の相関器#0では、受信信号 C_K と拡散符号シフトレジスタ 108_1 の2番目の拡散符号 S_{K+1} の乗算 $C_K \cdot S_{K+1}$ が行われ加算器で前の $C_0 \cdot S_1$ と加算される。

【0061】

第1動作期間において、相関器ブロック 101_1 の相関器#1には、遅延素子(T)を介して、先頭の拡散符号 S_1 が供給され、相関器#0に2番目のデータとして供給される受信信号 C_K との相関がとられる。

【0062】

第2動作期間において、3番目のデータとして、受信信号の検出開始位置から $2K$ チップ目の受信データである C_{2K} が受信信号蓄積メモリ104から読み出され、すべての相関器ブロック $101_0 \sim 101_{K-1}$ に供給される。相関器ブロック $101_0, 101_1, \dots, 101_{K-1}$ には、拡散符号シフトレジスタ $108_0, 108_1, \dots, 108_{K-1}$ の3番目の拡散符号 $S_{2K}, S_{2K+1}, \dots, S_{3K-1}$ が供給される。

【0063】

第2動作期間において、例えば相関器ブロック101₀の相関器#0では、受信信号C_{2K}と拡散符号シフトレジスタ108₀からの拡散符号S_{2K}との乗算C_{2K}・S_{2K}が行われ、加算器で前の積和演算結果C₀・S₀+C_K・S_Kと加算される。

【0064】

第2動作期間において、相関器ブロック101₀の相関器#1には、遅延素子(T)116₁₋₀を介して、先頭の次の拡散符号(2番目の拡散符号)S_Kが供給され、乗算器でC_{2K}との乗算がとられる。

【0065】

相関器ブロック101₀の相関器#2では、2段の遅延素子(T)を介して遅延された、先頭拡散符号S₀が供給され、読み出された受信信号C_{2K}との乗算がとられる。

【0066】

第M-1期間において、受信信号の検出開始位置から(M-1)Kチップ番目の受信データであるC_{(M-1)K}が受信信号蓄積メモリ104から読み出され、すべての相関器ブロック101₀～101_{K-1}に供給される。相関器ブロック101₀～101_{K-1}には、拡散符号シフトレジスタ108₀～108_{K-1}の(M-1)番目の拡散符号S_{(M-1)K}、S_{(M-1)+1}、…、S_{MK-1}が供給される。例えば相関器ブロック101₀の相関器#0では、受信信号C_{(M-1)K}と拡散符号シフトレジスタ108₀からの拡散符号S_{(M-1)K}との乗算C_{(M-1)K}・S_{(M-1)K}が行われ、乗算結果は加算器にてそれまでの積和演算結果と加算される。

【0067】

そして第M-1期間において、各相関器ブロックの相関器#0からの相関値が出力され、次の第M期間において、各相関器ブロックの相関器#1からの相関値が出力される。

【0068】

第L/K期間では、(L/K)×Kチップ番目(=Lチップ番目)の受信データがすべての相関器ブロック101₀～101_{K-1}に供給される。相関器ブロック101₀～101_{K-1}の相関器#L/K+1には、拡散符号シフトレジスタ108₀～108_{K-1}から拡散符号S₀～S_{K-1}が供給される。なお、図5では、第L/K

期間は、第M期間より前に配置されている例が示されているが、例えばN=4096、M=256、K=16の場合において、L=4096とすると、L/K=256となり、第L/K期間は、第M期間に等しくなる。

【0069】

上記の通り、相関器ブロック101₀の相関器#0からの相関値は、第M-1期間に出力され、 $C_0S_0 + C_KS_K + \dots + C_{(M-1)K}S_{(M-1)K}$ となり、0チップ目のシグネチャー0番目U₀の相関値に相当する（図8（a）参照）。これを、遅延0を表すD₀とシグネチャーU₀を用いてD₀U₀と表すことにする。

【0070】

相関器ブロック101₀の相関器#1からの相関値出力は第M期間に得られ、 $C_KS_0 + C_{2K}S_K + \dots + C_{(M-1)K}S_{(M-2)K} + C_{MK}S_{(M-1)K}$ となり、Kチップ目のシグネチャー0番目の相関値に相当する。これを、遅延Kを表すD_KとシグネチャーU₀を用いてD_KU₀と表すことにする。

【0071】

相関器ブロック101₀の相関器#L/Kの相関値出力は、第(M+L/K-1)期間に得られ、 $C_L S_0 + C_{L+K} S_K + \dots + C_{L+(M-1)K} S_{(K-1)K}$ となり、Lチップ目のシグネチャー0番目(U₀)の相関値に相当する(D_LU₀；遅延L、シグネチャーU₀）。

【0072】

相関器ブロック101₁の相関器#0の出力は第M期間でえられ、 $C_0S_1 + C_KS_{K+1} + \dots + C_{(M-1)K}S_{(M-1)K+1}$ となり、遅延-1チップのシグネチャー1番目の相関値(D₋₁U₁；遅延-1、シグネチャーU₁）に相当する（図8（b）参照）。

【0073】

相関器ブロック101_{K-1}の相関器#0の出力は、 $C_0S_{K-1} + C_KS_{2K-1} + \dots + C_{(M-1)K}S_{MK-1}$ となり、受信信号の検出開始位置より前の-K+1チップ目のシグネチャーK-1番目の相関値に相当し(D_{-(K-1)}U_{K-1}；遅延-(K-1)、シグネチャーU_{K-1}）、相関器ブロック101_{K-1}の相関器#1の出力は、1チップ目のシグネチャーK-1番目の相関値に相当し(D₁U_{K-1}；遅延1、シグネチ

ヤー U_{K-1})、相関器#L/Kの出力は、L-K+1チップ目のシグネチャ-K-1番目の相関値に相当する($D_{L-(K-1)}U_{K-1}$; 遅延L-(K-1)、シグネチャ U_{K-1})。

【0074】

次に2回目は、1回目の受信信号蓄積メモリ104からの読み出しデータ C_0 に対して、1チップずらした受信信号 C_1 からKチップおきに読み出し、各相関器ブロックで拡散符号列との相関を算出する。図6に、2回目の各相関器ブロック(##0~##K-1) $101_0 \sim 101_{K-1}$ の相関器への入力信号を示す。

【0075】

第0動作周期で、受信信号の検出開始位置から1番目のデータ C_1 がすべての相関器ブロック $101_0 \sim 101_{K-1}$ に供給される。相関器ブロック $101_0 \sim 101_{K-1}$ には、拡散符号シフトレジスタ $108_0 \sim 108_{K-1}$ から先頭の拡散符号 S_0 、 S_1 、… S_{K-1} がそれぞれ供給される。

【0076】

例えば相関器ブロック 101_0 の相関器#0では、受信信号 C_1 と拡散符号シフトレジスタ 108_0 の先頭の拡散符号 S_0 とが乗算器に入力され乘算 $C_1 \cdot S_0$ が行われる。これは、固定パターン検出開始位置に対して位相が1チップ遅延することになる。第0動作期間において、相関器ブロック 101_0 の相関器#1～相関器#L/Kは動作しない。

【0077】

また相関器ブロック 101_1 の相関器#0では、受信信号 C_1 と拡散符号シフトレジスタ 108_1 の先頭の拡散符号 S_1 との乗算行われる。

【0078】

第1動作期間では、受信信号の検出開始位置からK+1番目の受信データ C_{K+1} がすべての相関器ブロック $101_0 \sim 101_{K-1}$ に供給される。相関器ブロック $101_0 \sim 101_{K-1}$ には、拡散符号シフトレジスタ $108_0 \sim 108_{K-1}$ の2番目の拡散符号 S_K 、 S_{K+1} 、…、 S_{2K-1} が供給される。

【0079】

第1動作期間において、例えば相関器ブロック 101_0 の相関器#0では、受

信信号 C_{K+1} と拡散符号シフトレジスタ 108₀ の拡散符号 S_K とが乗算器に入力されて乗算 $C_{K+1} \cdot S_K$ が行われ、 $C_1 \cdot S_0$ と加算される ($C_1 S_0 + C_{K+1} S_K$)。

【0080】

また相関器ブロック 101₀ の相関器 #1 には、遅延素子 (T) を介して、0 番目の拡散符号 S_0 が供給され、読み出された信号 C_{K+1} との相関がとられる。

【0081】

また相関器ブロック 101₁ の相関器 #0 では、受信信号 C_{K+1} と拡散符号シフトレジスタ 108₁ の 2 番目拡散符号 S_{K+1} の乗算 $C_{K+1} \cdot S_{K+1}$ が行われ、 $C_1 \cdot S_1$ と加算される。

【0082】

第 1 動作期間において、相関器ブロック 101₁ の相関器 #1 は、遅延素子 (T) を介して、0 番目の拡散符号 S_1 が供給され、 C_{K+1} との乗算が行われる。

【0083】

このようにして、K 回目は、受信信号蓄積メモリ 104 から C_{K-1} 、 C_{2K-1} 、 C_{3K-1} 、…を読み出し、各相関器ブロックで拡散符号列との相関を算出する。

【0084】

以上の K 回にわたる相関値算出処理により、1 段目の相関器 101 では、各シグネチャーに対応する相関値が、 $(M + L/K) \times K = MK + L = N + L$ チップ期間分算出される。

【0085】

図 7 は、1 段目の相関器 101 から出力される相関値出力結果の一覧を表形式で示した図である。この相関値は、相関値蓄積メモリ 109 に格納される。

【0086】

1 段目の相関器 101 から出力される相関値への相関値蓄積メモリ 109 の書き込みの際に、相関値蓄積メモリ制御部 110 が、書き込みアドレスを制御して、1 段目の相関器 101 から出力される相関値を、書き込んで行く。

【0087】

その際、相関値蓄積メモリ制御部 110 では、図 7 に示した相関値 $D_X U_Y$ に対して添え字 XY に基づく、書き込みアドレスを生成して、相関値蓄積メモリ 10

9に格納する。

【0088】

相関値蓄積メモリ制御部110では、相関値蓄積メモリ109から、 D_0U_0 、 D_0U_1 、 D_0U_{K-1} とK個読み出して、第2の相関器102に供給する。第2の相関器102では、長さKの相関値とシグネチャーとの相関をとり、2段目の相関器102からの相関値の出力結果から、シグネチャー検出器112にてシグネチャー・パターンを検出し、シグネチャー・パターンを検出した際に、固定パターン検出信号113を出力する。

【0089】

本発明の一実施例においては、1段目の相関器101として、K個の相関器ブロック $101_0 \sim 101_{K-1}$ を備え、1段目の相関器101において、 $M+L/K$ チップ分の相関値を算出する場合、受信信号蓄積メモリ104から読み出し回数は、 $M+L/K$ となり、全体（K回）では、 $(M+L/K) \times K = N+L$ となる。

【0090】

このように、各相関器ブロック $101_0 \sim 101_{K-1}$ を、 $L/K+1$ 個の相関器で構成し、各相関器ブロックでは、入力される拡散符号を受信信号の読み出し周期に同期して遅延素子で各相関器毎に遅延させた拡散符号列と、読み出した受信信号との相関値を $L/K+1$ 個の相関器で求めることにより、受信信号蓄積メモリ104からの読み出し回数を $N+L$ 回としている。

【0091】

本発明の一実施例においては、複数のシグネチャー・パターンが存在する場合、1段目の相関器101は共通とし、図1に示すように、シグネチャー・パターンの種類（S+1）に対応させて2段目の相関器102として相関器 $0\# \sim \#S$ 複数備えることによって、複数種類のシグネチャーを同時に検出することができる。かかる構成により、シグネチャー・パターンの種類に対応させて長さ $K \times M$ の相関器を複数組を備える構成と比べて回路規模を縮減する。

【0092】

1段目の相関器101において、各相関器ブロックは、相関器を並列に複数備

えており、この場合、相関器の個数にほぼ比例して回路規模が増大する。そこで、相関器ブロック内で並列配置される相関器の個数は、以下に説明するように、適用システムに応じて、適宜設定するようにしてもよい。

【0093】

本発明の第2の実施例について説明する。図9は、本発明の第2の実施例の構成を示す図である。図9を参照すると、本発明の第2の実施例は、図1を参照して説明した前記実施例（「第1の実施例」という）の構成と相違して、1段目の相関器101のK個の相関器ブロック（# # 0）_{101_0}～相関器ブロック（# # K-1）_{101_K-1}が、それぞれ、L／(n×K)+1個の相関器（# 0～# L／(n×K)）を備え、各相関器ブロックに並設される相関器の数を、前記第1の実施例のものと比べてほぼ1／nに減少させている。但し、Lは、受信信号の予想受信時刻の不確定時間幅をチップ単位で表したものであり、Lは（n×K）で割り切れる整数とされる。

【0094】

例えば、不確定時間幅L=512、シグネチャー・パターンの長さK=16とすると、前記第1の実施例では、各相関器ブロックは、それぞれ、L/K+1=33個の相関器を具備しており、16個の相関器ブロック全部で16×33=528個の相関器が必要とされるが、本発明の第2の実施例においては、例えばn=2とした場合、16個の各相関器ブロックは、それぞれ、L/(n×K)+1=17個の相関器で構成され、16個の相関器ブロックでは、総計16×17=272個の相関器が必要とされており、前記実施例と比べ、相関器について、回路規模を半分程度に縮減している。

【0095】

図10は、本発明の第2の実施例における、1回目の受信信号列（C₀、C_K、C_{2K}、…）の読み出しと、各相関器ブロックの相関器での相関値の乗算器への入力信号対を一覧で示した図であり、横軸はM+L／(n×K)分の動作期間を示している。以下では、図5との相違点について説明する。

【0096】

図10を参照すると、第L／(n×K)期間（但し、記号・は「×」を表す）

では、 $(L / (n \times K)) \times K = L / n$ チップ目の受信データ $C_{L/n}$ がすべての相関器ブロック $101_0 \sim 101_{K-1}$ に供給される。相関器ブロック $101_0 \sim 101_{K-1}$ の相関器 # $L / (n \cdot K) + 1$ には、拡散符号シフトレジスタ $108_0 \sim 108_{K-1}$ の拡散符号 $S_0 \sim S_{K-1}$ が供給され、受信信号 $C_{L/n}$ との乗算がとられる。

【0097】

相関器ブロック 101_0 の相関器 # 0 からの相関値は第 $M - 1$ 期間に出力され、 $C_0 S_0 + C_K S_K + \dots + C_{(M-1)K} S_{(M-1)K}$ となり、相関器 # 1 からの相関値出力は第 M 期間に得られ、 $C_K S_0 + C_{2K} S_K + \dots + C_{(M-1)K} S_{(M-2)K} + C_{MK} S_{(M-1)K}$ となり、相関器 # $L / (n \cdot K) - 1$ の相関値出力は、第 $(M + L / (n \cdot K)) - 2$ 期間に得られ、 $C_{L/n} S_0 + C_{L/n+K} S_K + \dots + C_{L/n+(M-1)K} S_{(K-1)K}$ となり、 L / n チップ目のシグネチャー 0 番目 (U_0) の相関値に相当する ($D_{L/n-1} U_0$; 遅延 L / n 、シグネチャー U_0)。

【0098】

2 回目の受信信号列 ($C_1, C_{K+1}, C_{2K+1}, \dots$) は 1 回目と 1 チップずらしたデータとされ、さらに、第 K 回目の受信信号列 ($C_{K-1}, C_{2K-1}, C_{3K-1}, \dots$) に対しても、上記と同様にして、相関値演算処理が行われ、以上の一連の処理により、1 段目の相関器 101 からは、図 11 に一覧として示すような、相関値出力が得られる。すなわち、 $\{M + L / (n \times K)\} \times K = N + L / n$ チップ期間分の相関値が出力される。これらの相関値出力は、相関値蓄積メモリ 109 に一時的に蓄積され、2 段目の相関器 102 においてシグネチャー・パターンとの相関がとられる。

【0099】

次に、受信信号蓄積メモリ 104 からの読み出し位置を、 $L / n + 1$ だけずらして、前回と同様の処理を行い、図 11 に示した各相関値出力結果 $D_x U_y$ について、 D_x の添え字 x を、 $L / n + 1 + x$ とした結果 $D_{L/n+1+x} U_y$ を得る。このようにして、受信信号蓄積メモリ 104 からの読み出し位置を $L / n + 1$ だけずらして、複数回処理を行うことで、任意の長さの不確定時間幅 L に対する相関値演算とシグネチャー・パターン検出による固定パターンの検出を行うことができる。

【0100】

なお、上記各実施例に示した固定パターンの検出回路は、同期パターン等を相関検波することで同期検出を行う同期捕捉回路にも適用可能である。

【0101】

【発明の効果】

以上説明したように、本発明によれば、チップ速度に分割され並び替えられたシグネチャー・パターンを検出するための相関器を、Mチップの長さの1段目の相関器と、1段目の相関器の出力から固定語との相関をとる2段目の相関器の2段構成としたことにより、シグネチャー・パターンの検出に要する時間を短縮することができる、という効果を奏する。

【0102】

また本発明によれば、シグネチャー・パターンの存在する不確定期間Lを複数に分割した区間に對して、1段目の相関器で相関値を算出する処理を繰り返すことで、必要な相関値を求める構成とすることにより、各相関器ブロックが予め定められた所定個数の相関器からなる場合において、任意のL（但し、LはKで割り切れる整数）に対して固定パターンを検出可能としており、例えば1段目の相関器ブロックの各々が、 $L / (n \times K) + 1$ （但し、nは、 $L / (n \times K)$ が整数となる所定の整数）個の相関器で構成することで、回路規模を縮減している。

【図面の簡単な説明】

【図1】

本発明の一実施例の構成を示すブロック図である。

【図2】

本発明の一実施例の拡散符号並び替え器の構成を示すブロック図である。

【図3】

本発明の一実施例の拡散符号並び替え器の構成を示すブロック図である。

【図4】

本発明の一実施例の動作を説明するための模式図である。

【図5】

本発明の一実施例の動作を説明するための模式図である。

【図6】

本発明の一実施例の動作を説明するための模式図である。

【図7】

本発明の一実施例の動作を説明するための模式図である。

【図8】

本発明の一実施例の動作を説明するための模式図である。

【図9】

本発明の第2の実施例の構成を示す図である。

【図10】

本発明の第2の実施例の動作を説明するための模式図である。

【図11】

本発明の第2の実施例の動作を説明するための模式図である。

【図12】

相関器の構成の一例を示す図である。

【図13】

固定語を拡散符号で拡散して生成される送信信号を説明する模式図である。

【符号の説明】

101 1段目の相関器

102 2段目の相関器

103 受信信号

104 受信信号蓄積メモリ

105 受信信号蓄積メモリ制御部

106 拡散符号生成器

107 拡散符号並び替え器

108 拡散符号シフトレジスタ

109 相関値蓄積メモリ

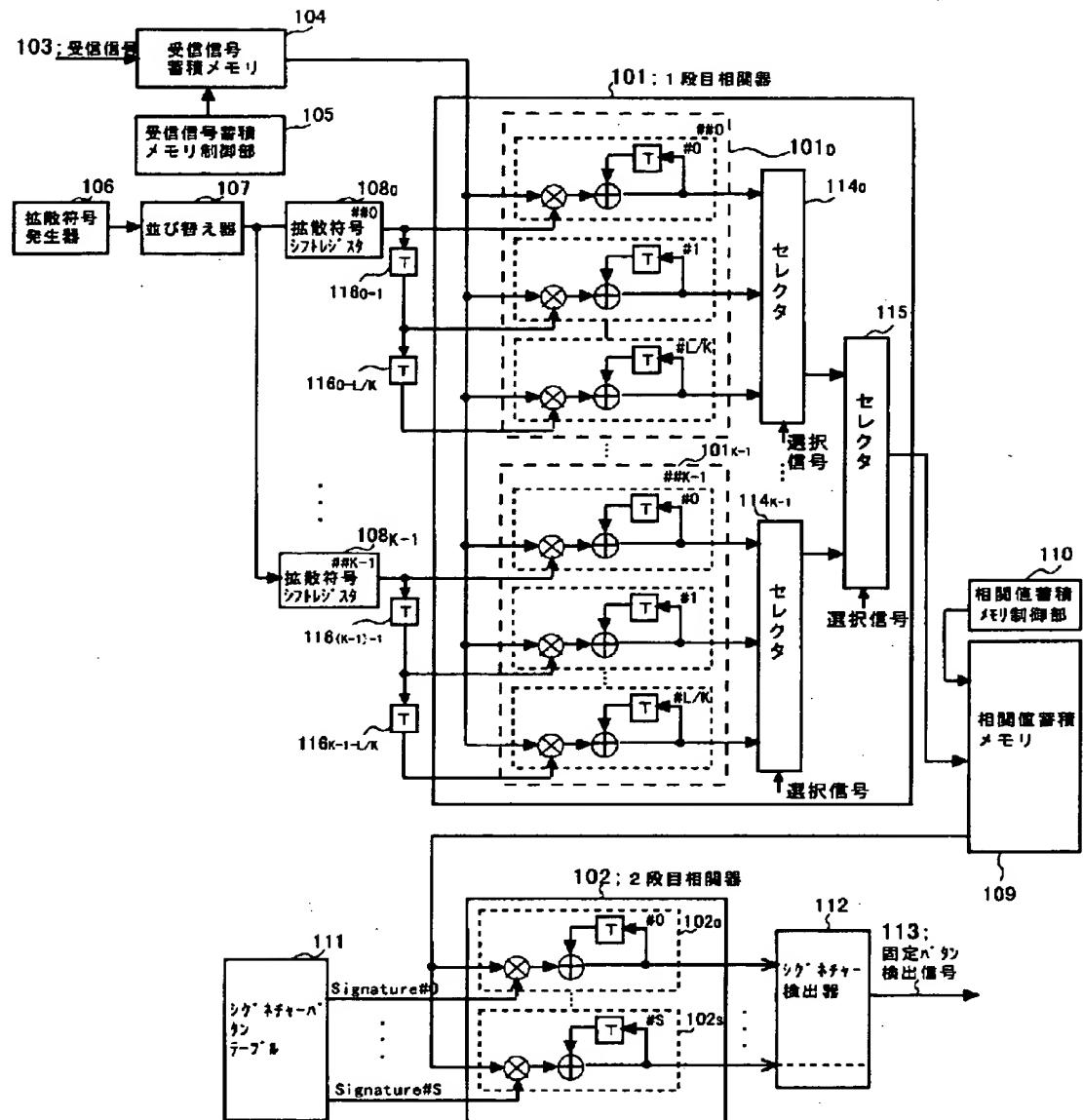
110 相関値蓄積メモリ制御部

111 シグネチャー・パターン・テーブル

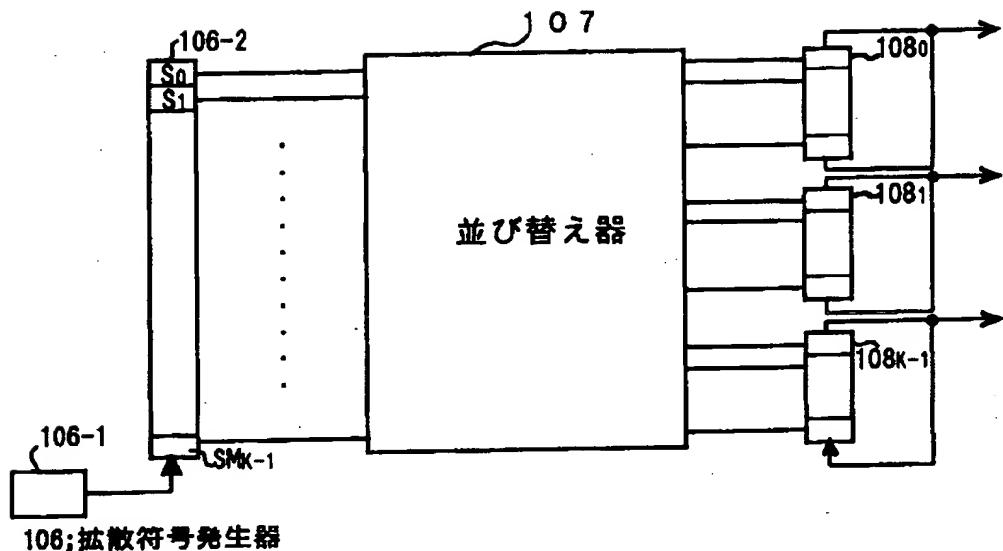
- 112 シグネチャー検出器
- 113 固定パターン検出信号
- 114 第1のセレクタ
- 115 第2のセレクタ
- 116 遅延素子

【書類名】 図面

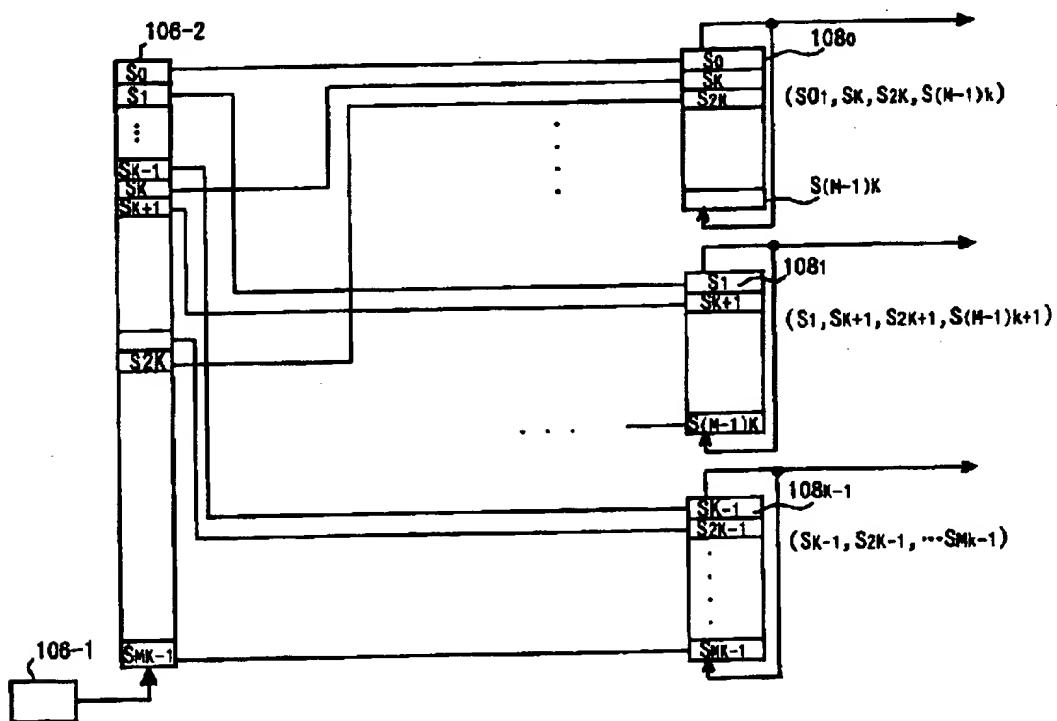
【図1】



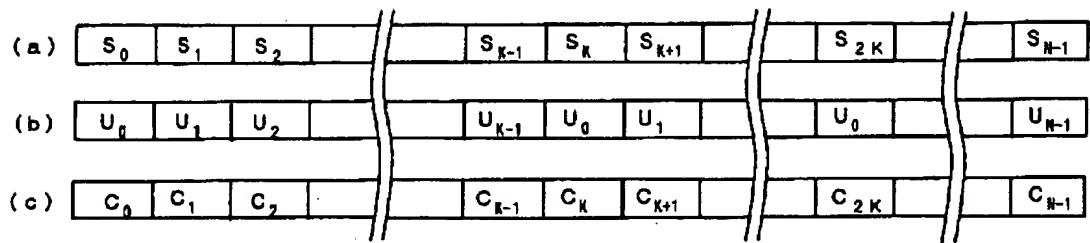
【図2】



【図3】



【図 4】



[図5]

	0	1	2	L/K	M-1	M	M+1	M+L/K-1
#0	C_0S_0	C_0S_K	$C_{2K}S_{2K}$...	$C_{(L-1)K}S_{(L-1)K}$			
#1	C_0S_0	C_0S_K	$C_{2K}S_K$...	$C_{(L-1)K}S_{(L-2)K}$	$C_{MK}S_{(M-1)K}$		
#2			$C_{2K}S_0$...	$C_{(L-1)K}S_{(L-3)K}$	$C_{MK}S_{(M-2)K}$	$C_{(M+1)K}S_{(M-1)K}$	
#L/K				...				$C_{L+(M-1)K}S_{(M-1)K}$
#0	C_0S_1	C_0S_{K+1}	$C_{2K}S_{K+1}$...	$C_{(L-1)K}S_{(L-1)K+1}$			
#1	C_0S_1	C_0S_{K+1}	$C_{2K}S_{K+1}$...		$C_{MK}S_{(M-1)K+1}$		
#L/K				...				$C_{L+(M-1)K}S_{(M-1)K+1}$
#0	C_0S_2	C_0S_{K+2}	$C_{2K}S_{K+2}$...	$C_{(L-1)K}S_{(L-1)K+2}$			
#1	C_0S_2	C_0S_{K+2}	$C_{2K}S_{K+2}$...				$C_{L+(M-1)K}S_{(M-1)K+2}$
#L/K				...				
#0	C_0S_{K-1}	C_0S_{2K-1}	$C_{2K}S_{2K-1}$...	$C_{(L-1)K}S_{(L-1)K+1}$	$C_{(L-1)K}S_{(L-1)K-1}$		
#1	C_0S_{K-1}	C_0S_{2K-1}	$C_{2K}S_{2K-1}$...		$C_{MK}S_{(M-1)K-1}$		
#L/K				...				$C_{L+(M-1)K}S_{(M-1)K-1}$

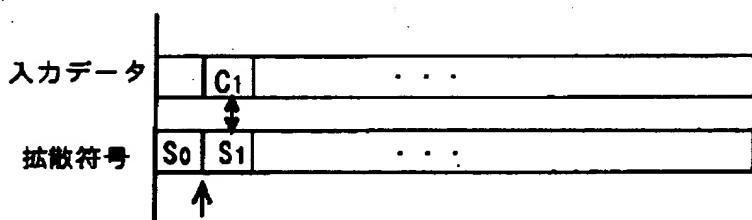
【図 6】

	0	1	2	\vdots	L/K	$M-1$	M	$M+1$	\vdots	$M+H/K-1$
#0	$C_1 S_0$	$C_{k+1} S_K$	$C_{2k+1} S_{2K}$	$\cdots \cdots$	\ddots	$C_{(n-1)K+1} S_{(n-1)K}$			\ddots	
#1		$C_{k+1} S_0$	$C_{2k+1} S_K$			$C_{(n-1)K+1} S_{(n-2)K}$	$C_{nK+1} S_{(n-1)K}$		\ddots	
#2			$C_{k+1} S_0$			$C_{(n-1)K+1} S_{(n-3)K}$	$C_{(n+1)K+1} S_{(n-2)K}$	$C_{(n+1)K+1} S_{(n-1)K}$	\ddots	
# L/K						\ddots	\ddots	\ddots	\ddots	$C_{(n-1)K+1} S_{(n-1)K}$
# n						$C_{k+1} S_k$	\ddots	\ddots	\ddots	$C_{1, (n-1)K+1} S_{(n-1)K+1}$
# L/K	#0	$C_1 S_1$	$C_{k+1} S_{k+1}$	$C_{2k+1} S_{2k+1}$	$\cdots \cdots$	\ddots	$C_{(n-1)K+1} S_{(n-1)K+1}$			
#1		$C_{k+1} S_1$	$C_{2k+1} S_{k+1}$			\ddots	$C_{nK+1} S_{(n-1)K+1}$			
# L/K	#0	$C_1 S_2$	$C_{k+1} S_{K+2}$	$C_{2k+1} S_{2K+2}$		\ddots	$C_{(n-1)K+1} S_{(n-1)K+2}$			
#1		$C_{k+1} S_2$	$C_{2k+1} S_{K+2}$			\ddots	\ddots			$C_{1, (n-1)K+1} S_{(n-1)K+2}$
# L/K	#2					$C_{k+1} S_2$				
# L/K	#0	$C_1 S_{K-1}$	$C_{k+1} S_{2K-1}$	$C_{2k+1} S_{2K-1}$			$C_{(n-1)K+1} S_{(n-1)K+1}$			
#1			$C_{k+1} S_{K-1}$	$C_{2k+1} S_{2K-1}$			$C_{nK+1} S_{(n-1)K-1}$			
# L/K	#1						\ddots	\ddots	\ddots	$C_{1, (n-1)K+1} S_{(n-1)K-1}$

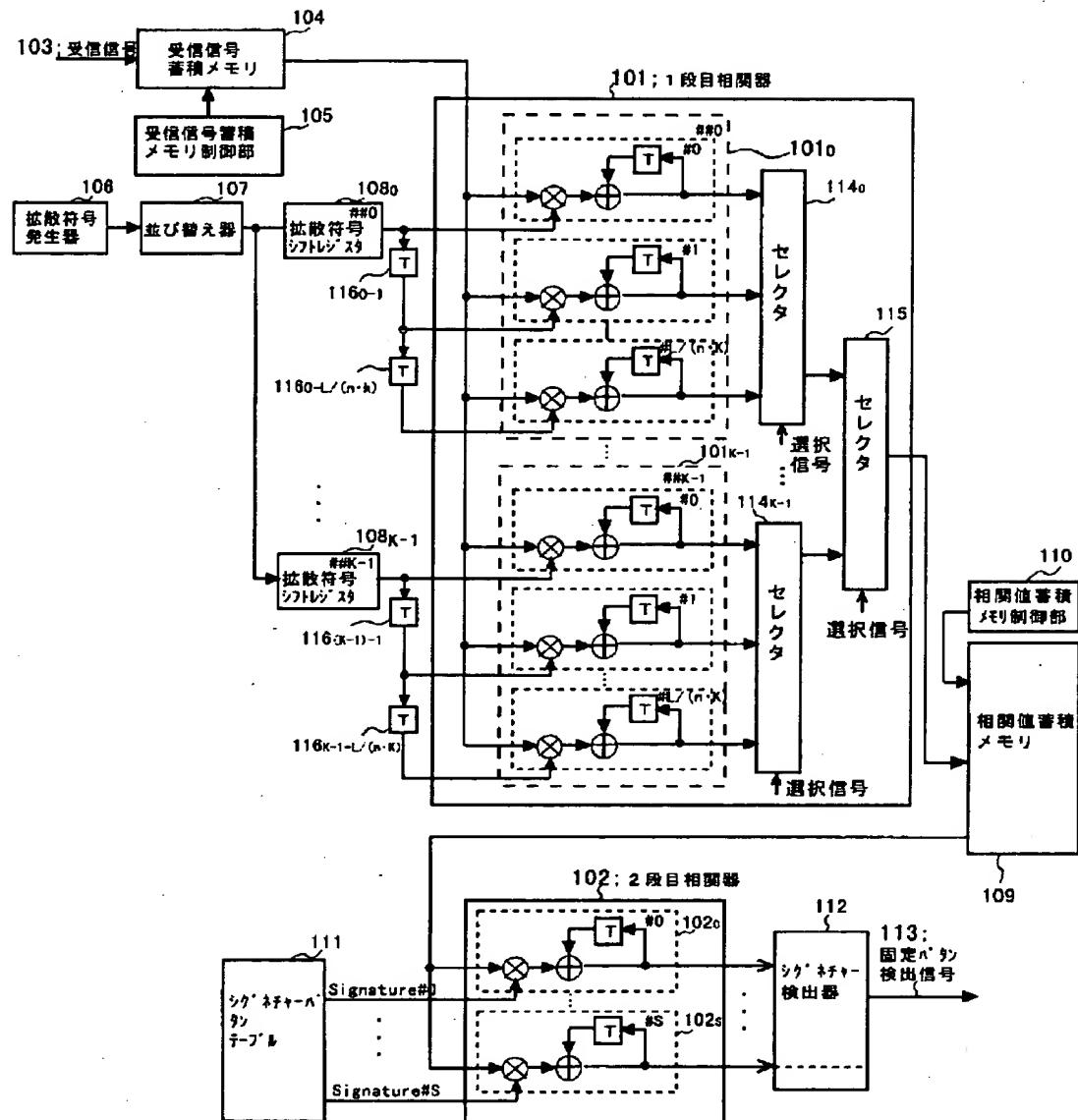
【図7】

		1	2		K
相関器ブロック #0	相関器#0	D_0U_0	D_1U_0	$D_{K-1}U_0$
	相関器#1	D_KU_0	$D_{K+1}U_0$	$D_{2K-1}U_0$
	相関器#2	$D_{2K}U_0$	$D_{2K+1}U_0$	$D_{3K-1}U_0$
	:	:	:	:
相関器ブロック #1	相関器#0	$D_{-1}U_1$	D_0U_1	$D_{K-2}U_1$
	相関器#1	$D_{K-1}U_1$	D_KU_1	$D_{2K-2}U_1$
	相関器#2	$D_{2K-1}U_1$	$D_{2K}U_1$	$D_{3K-2}U_1$
	:	:	:	:
相関器ブロック #L/K	相関器#0	$D_{L-1}U_1$	D_LU_1	$D_{L+K-2}U_0$
	相関器#1	\approx	\approx	\approx
	相関器#2	\approx	\approx	\approx
	相関器#L/K	\approx	\approx	\approx
相関器ブロック #K-1	相関器#0	$D_{-(K-1)}U_{K-1}$	$D_{-K+2}U_{K-1}$	D_0U_{K-1}
	相関器#1	D_1U_{K-1}	D_2U_{K-1}	D_KU_{K-1}
	相関器#2	$D_{K+1}U_{K-1}$	$D_{K+2}U_{K-1}$	$D_{2K}U_{K-1}$
	相関器#L/K	$D_{L-(K-1)}U_{K-1}$	$D_{L-K+2}U_{K-1}$	D_LU_{K-1}

【図8】

(a) $\#0\#0 C_0 S_0 + C_1 S_1 + \dots + C_{(M-1)} S_{(M-1)}$ (b) $\#1\#0 C_1 S_1 + C_{k+1} S_{k+1} + \dots + C_{(M-1)} S_{(M-1)}$ 

【図9】



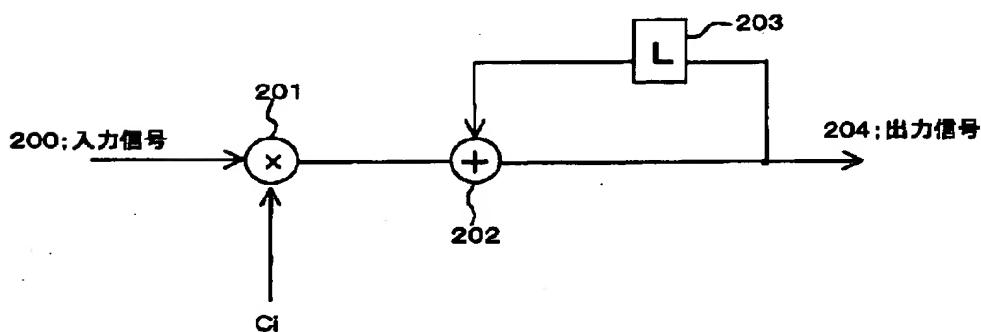
【図10】

	0	1	2	$L/(n \cdot K)$	$M-1$	M	$M+1$	\vdots	$M+L/(n \cdot K)-1$
相間器ブロック	#0	C_0S_0	C_1S_K	C_2S_{K-1}	\dots	$C_{(n-1)K}S_{(n-1)K}$		\vdots	
	#1	C_0S_0	C_1S_K	C_2S_{K-1}		$C_{(n-1)K}S_{(n-1)K}$		\vdots	
	#2			C_2S_0		$C_{(n-1)K}S_{(n-1)K}$	$C_{(n-1)K}S_{(n-2)K}$	\vdots	$C_{(n-1)K}S_{(n-1)K}$
# $L/(n \cdot K)$	#0	C_0S_1	C_1S_{K+1}	C_2S_{K+2}	\dots	$C_{(n-1)K}S_{(n-1)K}$		\vdots	$C_{(n-1)K}S_{(n-1)K}$
	#1	C_0S_1	C_1S_{K+1}	C_2S_{K+2}		$C_{(n-1)K}S_{(n-1)K}$		\vdots	$C_{(n-1)K}S_{(n-1)K}$
# $L/(n \cdot K)$	#0	C_0S_2	C_1S_{K+2}	C_2S_{K+3}		$C_{(n-1)K}S_{(n-1)K}$		\vdots	$C_{(n-1)K}S_{(n-1)K}$
	#1	C_0S_2	C_1S_{K+2}	C_2S_{K+3}		$C_{(n-1)K}S_{(n-1)K}$		\vdots	$C_{(n-1)K}S_{(n-1)K}$
# $L/(n \cdot K)$	#0	C_0S_1	C_1S_1		$C_{(n-1)K}S_{(n-1)K}$			\vdots	$C_{(n-1)K}S_{(n-1)K}$
	#1	C_0S_1	C_1S_1		$C_{(n-1)K}S_{(n-1)K}$			\vdots	$C_{(n-1)K}S_{(n-1)K}$
相間器ブロック	#0	C_0S_2	C_1S_2	C_2S_{K+2}		$C_{(n-1)K}S_{(n-1)K}$		\vdots	$C_{(n-1)K}S_{(n-1)K}$
	#1	C_0S_2	C_1S_2	C_2S_{K+2}		$C_{(n-1)K}S_{(n-1)K}$		\vdots	$C_{(n-1)K}S_{(n-1)K}$
# $L/(n \cdot K)$	#0	C_0S_{K-1}	C_1S_{K-1}	C_2S_{K-1}	\dots	$C_{(n-1)K}S_{(n-1)K}$		\vdots	$C_{(n-1)K}S_{(n-1)K}$
	#1	C_0S_{K-1}	C_1S_{K-1}	C_2S_{K-1}		$C_{(n-1)K}S_{(n-1)K}$		\vdots	$C_{(n-1)K}S_{(n-1)K}$
相間器ブロック	#0	C_0S_{K-1}	C_1S_{K-1}	C_2S_{K-1}	\dots	$C_{(n-1)K}S_{(n-1)K}$		\vdots	$C_{(n-1)K}S_{(n-1)K}$
	#1	C_0S_{K-1}	C_1S_{K-1}	C_2S_{K-1}		$C_{(n-1)K}S_{(n-1)K}$		\vdots	$C_{(n-1)K}S_{(n-1)K}$

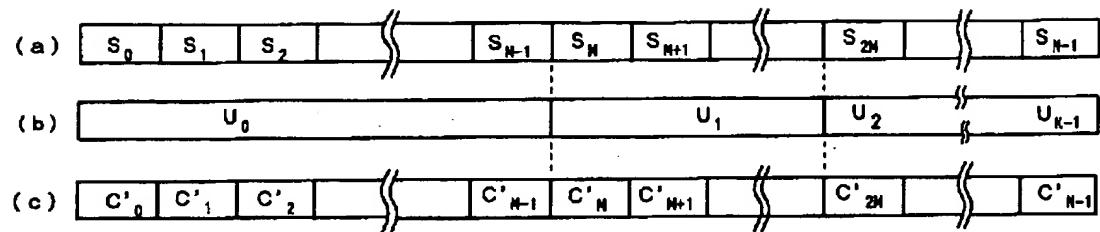
【図11】

		1	2		K
相関器ブロック #0	相関器#0	$D_0 U_0$	$D_1 U_0$	$D_{K-1} U_0$
	相関器#1	$D_K U_0$	$D_{K+1} U_0$	$D_{2K-1} U_0$
	相関器#2	$D_{2K} U_0$	$D_{2K+1} U_0$	$D_{3K-1} U_0$
	:	:	:	:
	相関器#L/(n·K)	$D_{L/n} U_0$	$D_{L/n+1} U_0$	$D_{L/n+k-1} U_0$
相関器ブロック #1	相関器#0	$D_{-1} U_1$	$D_0 U_1$	$D_{K-2} U_1$
	相関器#1	$D_{K-1} U_1$	$D_K U_1$	$D_{2K-2} U_1$
	相関器#2	$D_{2K-1} U_1$	$D_{2K} U_1$	$D_{3K-2} U_1$
	:	:	:	:
	相関器#L/(n·K)	$D_{L/n-1} U_1$	$D_{L/n} U_1$	$D_{L/n+k-2} U_1$
相関器ブロック K-1	相関器#0	$D_{-(K-1)} U_{K-1}$	$D_{-K+2} U_{K-1}$	$D_0 U_{K-1}$
	相関器#1	$D_1 U_{K-1}$	$D_2 U_{K-1}$	$D_K U_{K-1}$
	相関器#2	$D_{K+1} U_{K-1}$	$D_{K+2} U_{K-1}$	$D_{2K} U_{K-1}$
	:			
	相関器#L/(n·K)	$D_{L/n-(K-1)} U_{K-1}$	$D_{L/n-K+2} U_{K-1}$	$D_{L/n} U_{K-1}$

【図12】



【図13】



【書類名】 要約書

【要約】

【課題】

CDMA通信方式において固定パターンが並び替えされてチップ速度で挿入されている信号からの固定パターンの検出に要する時間の短縮を図るとともに回路規模の縮減する、固定パターン検出装置の提供。

【解決手段】

1シンボルあたりMチップの割合にて拡散符号で拡散してなるK個のシンボルの各々についてチップ期間単位に分割して並び替え、1チップ期間を単位とする長さKのシグネチャー・パターンがM回繰り返して挿入されてなる長さN（但し、 $N = K \times M$ ）チップのパターンを受信信号として入力し、前記受信信号から、シグネチャー・パターンを検出する固定パターン検出装置であって、KチップおきのM個の受信信号と、長さNの拡散符号列をKチップおきに間引きして並び替えられたM個の拡散符号列との相関をとり、K個のシグネチャーに対応する相関値を出力する1段目の相関器と、前記1段目の相関器から出力されたK個のシグネチャーに対応する相関値と予め定められたシグネチャー・パターンとの相関をとる2段目の相関値と、を含む。

【選択図】

図1

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社